**Министерство образования и науки Кыргызской Республики**

**Министерство науки и высшего образования Российской Федерации**

Государственное образовательное учреждение

высшего профессионального образования

Кыргызско-Российский Славянский университет

Имени первого Президента Российской Федерации Б. Н. Ельцина

Естественно-технический факультет

Кафедра информационных и вычислительных технологий

**ЛАБОРАТОРНАЯ РАБОТА №4**По дисциплине: «Схемотехника»

Вариант №3

Выполнил: студент группы ЕПИ-4-23 Лосев Данил

Руководитель: Полунин Валерий Викторович

Оценка: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Дата: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

**Бишкек-2024**

**Цель:** Основная цель данной лабораторной работы - реализовать таблицу истинности с использованием Verilog. Чтобы достичь этой цели, были поставлены следующие задачи:

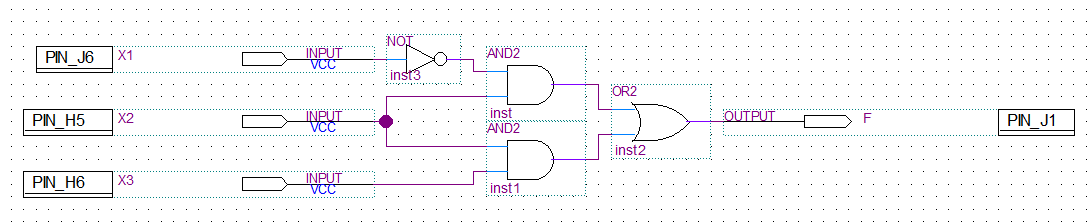
1. Изучение реализацию таблицы истинности на языке Verilog.
2. Использование интегрированного подхода: схематический ввод, Verilog и таблицы истинности, чтобы выполнить смешанное проектирование.

**Задание 1:** Реализуйте схематическое проектирование для функции f своего варианта задания.

Вариант III

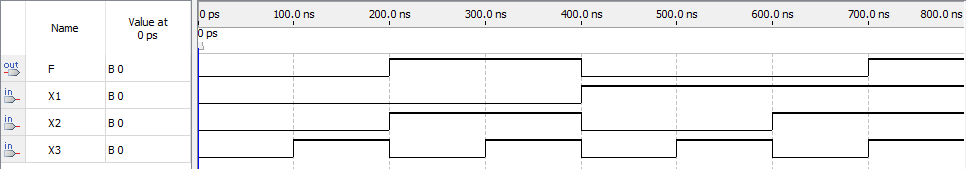
𝑓 = 𝑥̅1𝑥2 + 𝑥2𝑥3 (для пункта 5.4: 𝑥1 = 𝑧2𝑧3 + 𝑧1𝑧4 𝑥3 = 𝑧2𝑧3 + 𝑧3𝑧4 )

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| x1 | x2 | x3 | 𝑥̅1 | 𝑥̅1𝑥2 | 𝑥2𝑥3 | 𝑓 = 𝑥̅1𝑥2 + 𝑥2𝑥3 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 |

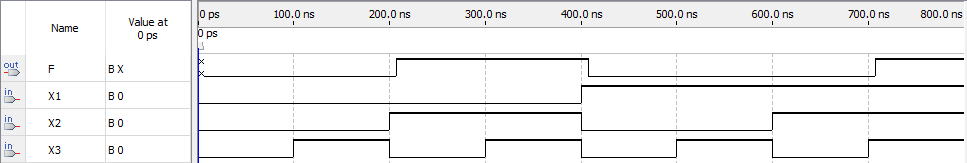


**Задание 2:** Выполните компилирование и симулирование вашего проекта.

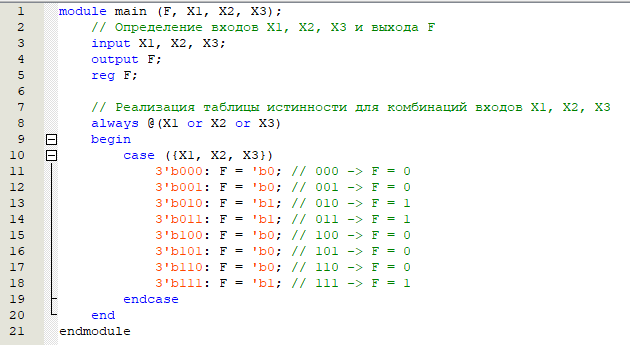
Функциональное моделирование:

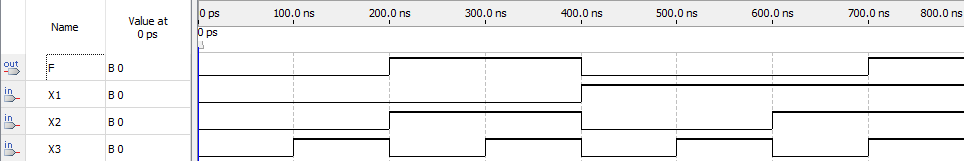


Временное моделирование:



**Задание 3:** Реализуйте решение своего варианта задания (реализация функции f) с помощью таблицы истинности с использованием Verilog.





**Задание 4:** Выполните смешанное проектирование своего варианта задания.

**Таблицы истинности:**

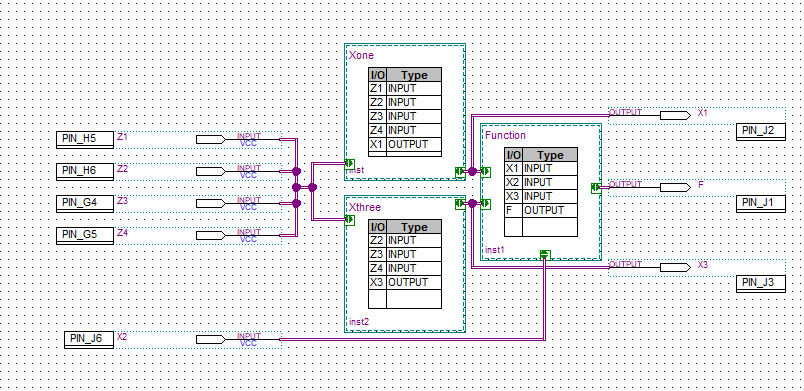
**𝑥1 = 𝑧2𝑧3 + 𝑧1𝑧4**

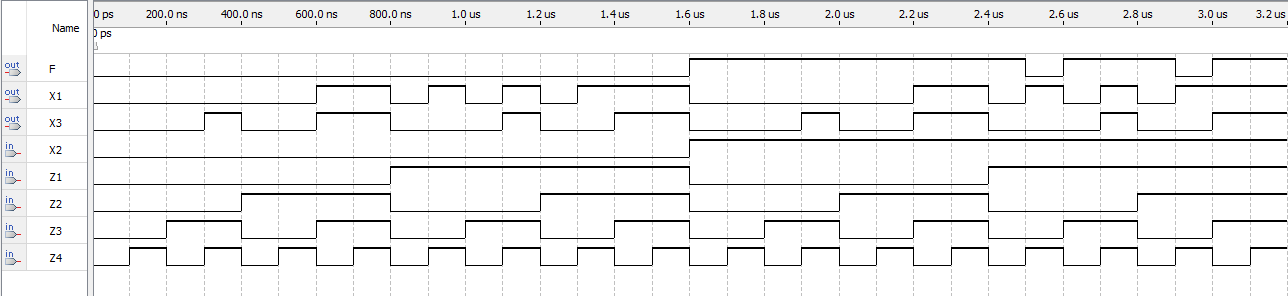
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **𝑧1** | **𝑧2** | **𝑧3** | **𝑧4** | **𝑧2𝑧3** | **𝑧1𝑧4** | **𝑥1 = 𝑧2𝑧3 + 𝑧1𝑧4** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 |

**𝑥3 = 𝑧2𝑧3 + 𝑧3𝑧4**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **𝑧2** | **𝑧3** | **𝑧4** | **𝑧2𝑧3** | **𝑧3𝑧4** | **𝑥3 = 𝑧2𝑧3 + 𝑧3𝑧4** |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 |

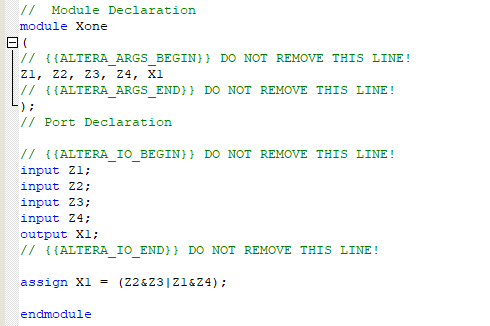
Схема смешанного проектирования

****

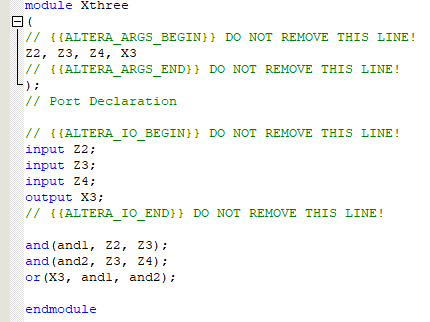
****

| № | X2 | Z1 | Z2 | Z3 | Z4 | F |
| --- | --- | --- | --- | --- | --- | --- |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 2 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 0 | 1 | 0 | 0 |
| 4 | 0 | 0 | 0 | 1 | 1 | 0 |
| 5 | 0 | 0 | 1 | 0 | 0 | 0 |
| 6 | 0 | 0 | 1 | 0 | 1 | 0 |
| 7 | 0 | 0 | 1 | 1 | 0 | 0 |
| 8 | 0 | 0 | 1 | 1 | 1 | 0 |
| 9 | 0 | 1 | 0 | 0 | 0 | 0 |
| 10 | 0 | 1 | 0 | 0 | 1 | 0 |
| 11 | 0 | 1 | 0 | 1 | 0 | 0 |
| 12 | 0 | 1 | 0 | 1 | 1 | 0 |
| 13 | 0 | 1 | 1 | 0 | 0 | 0 |
| 14 | 0 | 1 | 1 | 0 | 1 | 0 |
| 15 | 0 | 1 | 1 | 1 | 0 | 0 |
| 16 | 0 | 1 | 1 | 1 | 1 | 0 |
| 17 | 1 | 0 | 0 | 0 | 0 | 1 |
| 18 | 1 | 0 | 0 | 0 | 1 | 1 |
| 19 | 1 | 0 | 0 | 1 | 0 | 1 |
| 20 | 1 | 0 | 0 | 1 | 1 | 1 |
| 21 | 1 | 0 | 1 | 0 | 0 | 1 |
| 22 | 1 | 0 | 1 | 0 | 1 | 1 |
| 23 | 1 | 0 | 1 | 1 | 0 | 1 |
| 24 | 1 | 0 | 1 | 1 | 1 | 1 |
| 25 | 1 | 1 | 0 | 0 | 0 | 1 |
| 26 | 1 | 1 | 0 | 0 | 1 | 0 |
| 27 | 1 | 1 | 0 | 1 | 0 | 1 |
| 28 | 1 | 1 | 0 | 1 | 1 | 1 |
| 29 | 1 | 1 | 1 | 0 | 0 | 1 |
| 30 | 1 | 1 | 1 | 0 | 1 | 0 |
| 31 | 1 | 1 | 1 | 1 | 0 | 1 |
| 32 | 1 | 1 | 1 | 1 | 1 | 1 |

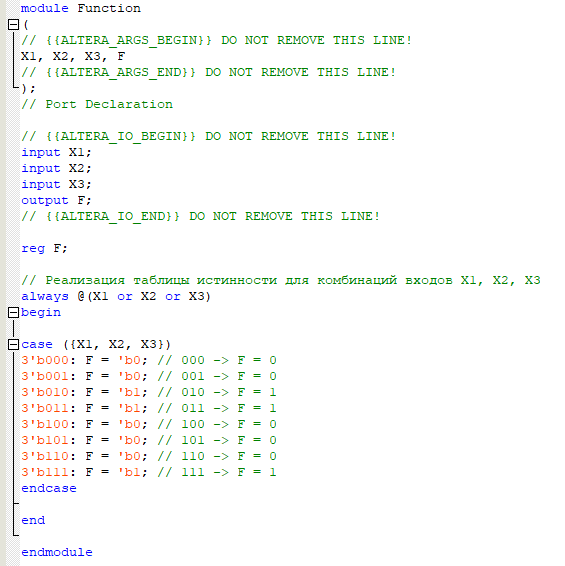
**Код на Verilog поведенческого стиля для X1:**



**Код на Verilog структурного стиля для X3:**

****

**Код на Verilog с использованием таблицы истинности для F:**

****

**Вывод:** В ходе выполнения данной лабораторной работы я изучил реализацию таблицы истинности на языке Verilog и способы использования смешанного проектирования, включая схематическое проектирование, Verilog и таблицы истинности.

Работа включала несколько этапов, включая реализацию схематического проектирования для своего варианта задания, компиляцию и симуляцию проекта, реализацию решения с использованием таблицы истинности на Verilog и выполнение смешанного проектирования.

В конечном итоге я приобрёл навыки проектирования цифровых схем при помощи таблицы истинности, а также смешанного проектирования на языке Verilog.

Контрольные вопросы:

1. **Изучите код на Verilog, заданный в разделе 3. Объясните работу оператора always @.**

Always выполняется при каком-то определенном условии, которое описано в выражении записанном внутри ( ) после @. Это выражение может содержать один или несколько сигналов, при изменении которых и будет выполняться оператор always.

1. **Прочитайте раздел 4 и заполните таблицу истинности для lab4\_2**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Inputs | | | | Outputs | | |
| M | T | H | P | E | F | AC |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 |

1. **Заполните таблицу истинности для шага lab4\_1**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| F | C | G | W | A |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |